

PAT-NO: JP405343691A  
DOCUMENT-IDENTIFIER: JP 05343691 A  
TITLE: VERTICAL INSULATED-GATE FIELD-EFFECT TRANSISTOR

PUBN-DATE: December 24, 1993

INVENTOR-INFORMATION:

NAME	COUNTRY
KATO, YUJI	
HIMI, KEIMEI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NIPPONDENSO CO LTD	N/A

APPL-NO: JP04147714  
APPL-DATE: June 8, 1992

INT-CL (IPC): H01L029/784

US-CL-CURRENT: 257/329 , 257/330 , 257/E29.009 , 257/E29.04 ,  
257/E29.13 , 257/E29.257

ABSTRACT:

PURPOSE: To make it possible to reduce less the ON resistance per unit area of an element without damaging the breakdown strength of the element.

CONSTITUTION: p-type well regions 11 are formed in the surface part of a semiconductor substrate 10 and n+ source regions 12 are respectively formed in one part in each of the regions 11. An n+ drain region 14 is formed on the side of the rear of the substrate 10 in the substrate 10 and moreover, an n- drift region 15 is formed between the regions 11 and the region 14. A groove 16 is formed in a region held between the regions 11 in the surface of the substrate 10, a gate oxide film 17 is formed on the inner wall of the groove 16 and a gate electrode 18 is arranged via this film 17. When a

transistor is turned on, source terminals S are grounded and a positive voltage is applied to a drain terminal D and a gate terminal G.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-343691

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9168-4M

H 0 1 L 29/ 78

3 2 1 H

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号 特願平4-147714

(22)出願日 平成4年(1992)6月8日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 加藤 有二

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 氷見 啓明

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

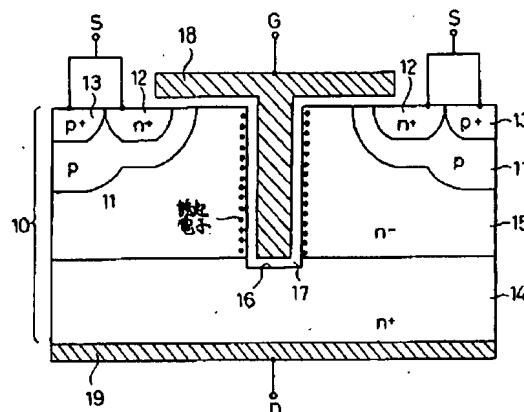
(74)代理人 弁理士 恩田 博直

(54)【発明の名称】 縦型絶縁ゲート電界効果トランジスタ

(57)【要約】

【目的】 素子の耐圧を損なわずに単位面積当たりのオン抵抗 $R_{\text{ONS}}$ をよりいっそう低減することができる縦型絶縁ゲート電界効果トランジスタを提供することにある。

【構成】 半導体基板10の表面部にp型ウエル領域11が形成され、そのウエル領域11内に一部にn<sup>+</sup>型ソース領域12が形成されている。半導体基板10内での裏面側にはn<sup>+</sup>型ドレイン領域14が形成され、さらに、ウエル領域11とドレイン領域14の間にはn<sup>-</sup>型ドリフト領域15が形成されている。半導体基板10の表面におけるウエル領域11に挟まれた領域には、溝16が形成され、溝16の内壁にはゲート酸化膜17が形成され、このゲート酸化膜17を介してゲート電極18が配置されている。トランジスタ・オン時には、ソース端子Sは接地され、ドレイン端子D及びゲート端子Gは正電圧が印加される。



10—半導体基板  
11—p型ウエル領域  
12—n<sup>+</sup>型ソース領域  
14—n<sup>+</sup>型ドレイン領域  
15—n<sup>-</sup>型ドリフト領域  
16—溝  
17—ゲート酸化膜  
18—ゲート電極

## 【特許請求の範囲】

【請求項1】 半導体基板の表面部に第1導電型のソース領域と第2導電型のウエル領域とが形成され、半導体基板内に第1導電型のドレイン領域が形成されるとともに前記ウエル領域と前記ドレイン領域との間にドレイン領域あるいはソース領域に比較して低い不純物濃度の第1導電型のドリフト領域が形成された縦型絶縁ゲート電界効果トランジスタにおいて、隣接するウエル領域の間の半導体基板に両ウエル領域とは離間して溝を形成し、この溝内に絶縁膜を介して前記ドリフト領域の溝壁に沿った表面の多数キャリア濃度を増加させる電位の電極を配置したことを特徴とする縦型絶縁ゲート電界効果トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、縦型絶縁ゲート電界効果トランジスタ（縦型MOSFET）に係り、特にそのオン抵抗低減に関するものである。

## 【0002】

【従来の技術】従来、電力用の縦型MOSFETについては、図9に示す構造がとられる場合が多かった（例えば、特開昭63-254769号公報）。この素子のドレイン・ソース間耐圧はドリフト領域1の厚さ及び不純物濃度によって決まり、所望の耐圧に見合うような厚さと濃度に設定される。ウエル領域2の上部に配置されたゲート電極3に電圧が印加されるとウエル領域2内の半導体基板表面にはn型反転層が形成されソースとドレインの間に電流が流れる。実際の縦型MOSFETでは図9中にAで示した部分（セル）が繰り返して配置されたひとつの縦型MOSFETを構成している。Aの寸法L1は製造プロセス上あるいは素子特性上許容される限り小さく設定される。こうすることにより単位面積当たりに含まれる電流通路の数を最大にすることができる。

【0003】一方、電力用縦型MOSFETにおける重要な特性のひとつとして単位面積当たりのオン抵抗（ $R_{ON}$ と略称）がある。そして、この値が小さい程、電流を流した時のソース・ドレイン間の電圧降下が小さく素子で消費される電力を小さくすることができる。オン抵抗 $R_{ON}$ を下げるには素子自身の抵抗を下げるか、単位素子面積を縮小する必要がある。

【0004】図10に示した斜線部はドリフト領域1内の電流の通路を示している。ネックが形成されるのは半導体基板の縦方向に寄生的にできる接合型電界効果トランジスタ（JFETと略称）の効果によるものである。つまり、ドリフト領域1の抵抗成分により電流通路にそって電位差が生じ、接地電位に固定されたソース領域4及びウエル領域2とドリフト領域1の間の電位差によりウエル領域2とドリフト領域1の間の接合が逆バイアスされ比較的不純物濃度の低いドリフト領域1側に空乏層が広がって電流通路がせびめられるものである。このJ

FETの効果が作用する領域の抵抗を $R_{JFET}$ とする。1個の縦型MOSFETセルにおけるソース端子Sとドレイン端子D間のオン抵抗 $R_{CELL}$ は、 $R_{JFET}$ の他にソース領域4の抵抗 $R_S$ 、チャネル抵抗 $R_{CH}$ 、ドリフト領域1の抵抗 $R_{DRI}$ 、及びドレイン領域5の抵抗 $R_{DRA}$ によって表すことができる。すなわち、

$$R_{CELL} = R_S + R_{CH} + R_{JFET} + R_{DRI} + R_{DRA} \cdots (1)$$

又、 $R_{CELL}$ と $R_{ONS}$ の関係は次式で与えられる。

$$【0005】 R_{ONS} = R_{CELL} / N \cdots (2)$$

ただし、Nは単位面積当たりのセル数。図10に示した隣接するゲート電極3の間の距離L2は、ソース領域4、及びウエル領域2の電位を与えるためのp'領域6と配線の接触をとるためのスペースである。このL2は素子を形成するプロセスの加工精度に依存するもので、製造装置やプロセスを特定すれば決まってしまう、減らすことには限界がある。図11にウエル領域2の間隔L3に対する単位面積当たりのオン抵抗 $R_{ONS}$ の関係を示す。L3を小さくすると、図10に示す電流通路のネックが細くなり $R_{JFET}$ が増大し、Nの増加よりも $R_{CELL}$ の増加が大きくなるため $R_{ONS}$ は増加する。逆にL3を大きくするとJFETの効果は弱くなるが、面積が不必要に増えてしまい、 $R_{ONS}$ はやはり増加する。結果として耐圧の仕様とプロセスの加工精度が決まれば、図11のように $R_{ONS}$ が最小値をとるL3の最適値が存在する。

【0006】図11に示す $R_{ONS}$ の最小値をさらに低下させるために、特開昭63-254769号公報には図12に示す構造が提案されている。この構造はウエル領域2で挟まれた領域に溝7を掘り、この溝7の周辺に高濃度不純物層8を形成して、この部分の抵抗を下げている。従って、ウエル領域2とドリフト領域1との境界部分からドリフト領域1に向かって空乏層が広がってきても溝7の周辺の高濃度不純物層8は空乏化されず低抵抗の状態を保つことができ $R_{JFET}$ を極めて小さくすることができる。従って、

$$R_{CELL} = R_S + R_{CH} + R_{DRI} + R_{DRA} \cdots (3)$$

このように図12の構造はJFET効果によるオン抵抗の増大を抑えることができ、換言すると、同じ $R_{JFET}$ ならば、ウエル領域2の間隔L3を短くことができ、セル数Nを変えずに $R_{CELL}$ を減少させることで、図9の構造に比べてより $R_{ONS}$ を低くできる。

## 【0007】

【発明が解決しようとする課題】ところが、図12に示す従来技術は図9に示す従来技術に比べると $R_{ONS}$ を減少する手段としてある程度は効果が期待できる。しかし、近年、微細加工技術が進歩し、耐圧数十ボルトの低耐圧仕様の縦型MOSFETについては、図10に示すウエル領域2の間隔L3は数 $\mu m$ に縮小でき、また図9中のAの寸法L1が20 $\mu m$ 以下にできるようになった。この結果、図12に示す従来技術では、ウエル領域2と高濃度不純物層8との間のリーチスルー耐圧をウエ

ル領域2とドレイン領域5との間のリーチスルー耐圧よりも高く設定する必要から逆にウエル領域2の間隔L3を大きくしなければならず面積が不必要に増えてしまい(2)式から明らかなように $R_{CELL}$ を小さくしても、それ以上にNが小さくなるため $R_{ONS}$ がかえって増加する問題があった。又、図12に示す従来技術は $R_{JFET}$ を減少させる効果だけであり、その他の $R_{DRI}$ は減少しないため $R_{ONS}$ の減少率は少なかった。すなわち、素子の耐圧を損なわずに必ずしも $R_{ONS}$ を低減することはできなかった。

【0008】そこで、この発明の目的は、素子の耐圧を損なわずに単位面積当たりのオン抵抗 $R_{ONS}$ をよりいっそう低減することができる縦型絶縁ゲート電界効果トランジスタを提供することにある。

【0009】

【課題を解決するための手段】この発明は、半導体基板の表面部に第1導電型のソース領域と第2導電型のウエル領域とが形成され、半導体基板内に第1導電型のドレイン領域が形成されるとともに前記ウエル領域と前記ドレイン領域との間にドレイン領域あるいはソース領域と比較して低い不純物濃度の第1導電型のドリフト領域が形成された縦型絶縁ゲート電界効果トランジスタにおいて、隣接するウエル領域の間の半導体基板に両ウエル領域とは離間して溝を形成し、この溝内に絶縁膜を介して前記ドリフト領域の溝壁に沿った表面の多数キャリア濃度を増加させる電位の電極を配置した縦型絶縁ゲート電界効果トランジスタをその要旨とするものである。

【0010】

【作用】上述のように溝内の電極はドリフト領域の溝壁に沿った表面の多数キャリア濃度を増加させる電位とされている。例えば、第1導電型がn型の場合は高い電位に設定されるもので、溝の外側の側壁に電子が誘起しキャリア濃度が上がる。そして、トランジスタのオン状態においては、溝の外側の側壁部分に低抵抗の電流経路ができる。この電流経路はウエル領域とドリフト領域の境界部分からドリフト領域に向かって空乏層が広がってきても、それには影響されない。その結果、JFETの効果が作用する領域の抵抗 $R_{JFET}$ とドリフト領域の抵抗 $R_{DRI}$ とが減少する。一方、図12に示す従来装置では高濃度不純物層8の存在によりリーチスルー耐圧を考慮する必要があったが、本装置ではそれが不要となる。

【0011】

【実施例】以下、この発明を具体化した一実施例を図面に従って説明する。図1に本実施例の縦型MOSFETの断面図を示す。

【0012】半導体基板10の表面部にp型ウエル領域11が形成され、そのp型ウエル領域11内の一部にn<sup>+</sup>型ソース領域12及びp<sup>+</sup>型ウエルコンタクト領域13が形成されている。又、半導体基板10内での裏面側

にはn<sup>+</sup>型ドレイン領域14が形成されている。さらに、p型ウエル領域11とn<sup>+</sup>型ドレイン領域14の間には、n<sup>+</sup>型ドレイン領域14あるいはn<sup>+</sup>型ソース領域12と比較して低い不純物濃度のn<sup>-</sup>型ドリフト領域15が形成されている。

【0013】半導体基板10の表面におけるp型ウエル領域11に挟まれた領域には、p型ウエル領域11と離間して溝16が形成され、この溝16はn<sup>-</sup>型ドリフト領域15を貫通してn<sup>+</sup>型ドレイン領域14の表面に至っている。半導体基板10の表面、及び溝16の内壁には絶縁膜としてのゲート酸化膜17が形成され、このゲート酸化膜17を介して溝16内に延びるゲート電極18が配置されている。

【0014】又、半導体基板10の裏面には裏面電極19が形成されている。このトランジスタは次のように製造される。つまり、n<sup>+</sup>型半導体基板(ドレイン領域14)上にn<sup>-</sup>型エピタキシャル層を形成し、そのエピタキシャル層に対しドレイン領域14に至る溝16を形成する。そして、ゲート酸化膜17を介してゲート電極18を配置する。さらに、このゲート電極18をマスクとしてp型ウエル領域11及びn<sup>+</sup>型ソース領域12を二重拡散にて形成する。その後、所定のマスクパターンを用いてp<sup>+</sup>型ウエルコンタクト領域13を形成する。一方、n<sup>+</sup>型半導体基板(ドレイン領域14)の裏面に裏面電極19を形成する。

【0015】そして、n<sup>+</sup>型ソース領域12及びp<sup>+</sup>型ウエルコンタクト領域13にはソース端子Sが接続され、ゲート電極18にはゲート端子Gが接続され、さらに、裏面電極19にはドレイン端子Dが接続される。

【0016】このような縦型絶縁ゲート電界効果トランジスタをオン状態、即ち、ソース端子Sを接地、ドレイン端子D及びゲート端子Gに正電圧を印加すると、図2に示すように溝16の外側の側壁に電子が誘起しキャリア濃度が上がり、この部分に低抵抗の電流経路ができる。

【0017】そして、この電流経路は、p型ウエル領域11とn<sup>-</sup>型ドリフト領域15との境界部分からn<sup>-</sup>型ドリフト領域15に向かって空乏層が広がってきても、それには影響されない。

【0018】結果としてJFETの効果が作用する領域の抵抗 $R_{JFET}$ とn<sup>-</sup>型ドリフト領域15の抵抗 $R_{DRI}$ を減少させることができる。その結果をシュミレーション計算すると、図3のようになる。この図から、溝16の外側の側壁に電流経路が確認された。

【0019】又、シュミレーション計算により、図9に示す従来のセルにおけるソース・ドレイン間のオン抵抗 $R_{CELL}$ と比較したところ、

【0020】

【数1】

$$\frac{R_{\text{CELL}} \text{ (本実施例)}}{R_{\text{CELL}} \text{ (従来)}} = \frac{R_s + R_{\text{CH}}}{R_s + R_{\text{CH}} + R_{\text{JFET}} + R_{\text{DRI}}} = 0.89 \text{ (} R_{\text{DRA}} \text{は除いて)}$$

【0021】という結果が得られた。この計算において、セルサイズ  $L1 = 16 \mu\text{m}$ 、 $L3 = 8 \mu\text{m}$ 、溝幅 =  $2 \mu\text{m}$ 、拡散層プロファイルは図9と図1で同じである。

【0022】又、本実施例でのソース・ドレイン間耐圧は、図4においてBで示すように、溝側壁の電位等高線が密となる高電界強度部分によって決まる（ここでブレークダウンする）。つまり、耐圧はp型ウエル領域11と溝16との距離には関係なくなる。故に、隣接するウエル領域11との間隔  $L3$  を溝16の幅まで小さくできる。

【0023】さらに、より高耐圧の構造にするには図5に示すように、溝16内に配置した上下方向に延びる電極21と左右方向に延びるゲート電極22とを、別部材とし、電極21とドレイン端子Dとを抵抗23を介して接続する。このように、ドレイン端子Dと溝内電極21との間の電位差を一定値内にする。この図5のようになると、溝16内の電極21の電位は図1でのゲート電極18より高くなるので、耐圧は溝側壁の電界強度では決まらず、p型ウエル領域11からn<sup>+</sup>型ドレイン領域14へのリーチスルー耐圧又は、溝16内の酸化膜17の耐圧によって決まる。

【0024】尚、本実施例では、UMOSのように溝16の側壁にチャネルは形成されず、あくまでもウエハ上面にチャネルが形成される。こうすることにより、溝16の側壁の結晶欠陥部分にチャネルが無くpn接合部でのリーク電流を抑制することができるとともに、図5に示すような耐圧設計をしやすい構造とすることができる。

【0025】このように本実施例では、隣接するp型ウエル領域11の間の半導体基板10に両ウエル領域11\*

$$\frac{R_{\text{CELL}} \text{ (本実施例)}}{R_{\text{CELL}} \text{ (図9の従来)}} = \frac{R_s + R_{\text{CH}} + R_{\text{DRI}}}{R_s + R_{\text{CH}} + R_{\text{JFET}} + R_{\text{DRI}}} = 0.90 \text{ (} R_{\text{DRA}} \text{は除いて)}$$

【0029】となる。又、他の態様として図8に示すように溝16の底部に高濃度n<sup>+</sup>低抵抗領域20を配置してもよい。この場合には、図6に示すトランジスタにおける  $R_{\text{DRI}}$  をも低減することができる。

【0030】以上、本発明をnチャネル型MOSFETに採用した場合を例にとって示したが、pチャネル型MOSFETに採用するようにしてもよい。その場合、ドリフト領域（p<sup>-</sup>型）の溝壁には正孔を誘起するようにするもので、溝部の電極はドリフト領域より低い電位に設定される。

【0031】

【発明の効果】以上詳述したようにこの発明によれば、素子の耐圧を損なわずに単位面積当たりのオン抵抗R

\*とは離開して溝16を形成し、この溝16内にゲート酸化膜17（絶縁膜）を介してドリフト領域15より高い電位のゲート電極18を配置したので、トランジスタをオン状態（ソース端子Sを接地、ドレイン端子D及びゲート端子Gに正電圧）にすると、溝16の外側の側壁に電子が誘起しキャリア濃度が上がり、この部分に低抵抗の電流経路ができる。そして、この電流経路はウエル領域11とドリフト領域15の境界部分からドリフト領域15に向かって空乏層が拡がってきても、それには影響されない。その結果、JFETの効果が発作用する領域の抵抗  $R_{\text{JFET}}$  とドリフト領域の抵抗  $R_{\text{DRI}}$  とが減少する。一方、図12に示す従来装置では高濃度不純物層8の存在によりリーチスルー耐圧を考慮する必要があったが、本装置ではそれが不要となり、素子の耐圧を損なわずに単位面積当たりのオン抵抗  $R_{\text{ONS}}$  をよりいっそう低減することができることとなる。

【0026】尚、この発明は上記実施例に限定されるものではなく、例えば、耐圧設計のやり方として、図6に示すように溝16の深さをウエル領域11よりも浅くし、ウエル領域11からドリフト領域15へ伸びる空乏層を溝16の下でピンチオフさせる。この場合のブレークダウン時のポテンシャル分布図を図7に示す。つまり、溝16の両側にあるウエル領域11から伸びる空乏層が溝16の下でつながるようにする。そして、溝深さを調節することで溝底エッジ部（図7でのBで示す）での電界強度を変えて、ここで耐圧を決める。この場合、耐圧30ボルト（図1の構造）から50ボルト前後に向上することができる。

【0027】又、オン抵抗に関しては

【0028】

【数2】

※  $R_{\text{ONS}}$  をよりいっそう低減することができる優れた効果を発揮する。

【図面の簡単な説明】

【図1】実施例の縦型MOSFETの断面を示す図である。

【図2】溝側壁付近のn<sup>-</sup>領域のバンド図である。

【図3】トランジスタ・オン時のポテンシャル分布及び電流ベクトルを示す図である。

【図4】ブレークダウン時のポテンシャル分布及び電流ベクトルを示す図である。

【図5】実施例の縦型MOSFETの応用例を示す断面図である。

【図6】別例の縦型MOSFETの断面を示す図であ

る。

【図7】ブレイクダウン時のポテンシャル分布及び電流ベクトルを示す図である。

【図8】他の別例の縦型MOSFETの断面を示す図である。

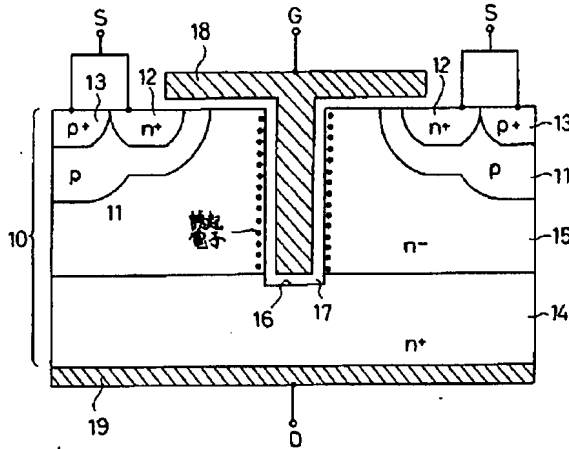
【図9】従来の縦型MOSFETの断面図である。

【図10】従来の縦型MOSFETの電流通路と抵抗成分を示す図である。

【図11】ウェル間隔と $R_{ONS}$ との関係を示す図である。

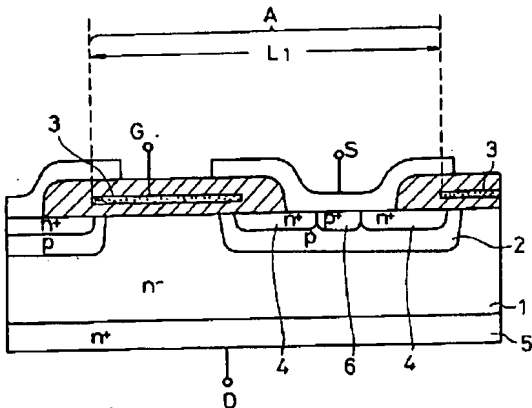
10

【図1】



- 10—半導体基板
- 11—p型ウェル領域
- 12—n+型ソース領域
- 14—n+型ドレイン領域
- 15—n-型ドリフト領域
- 16—溝
- 17—ゲート酸化膜
- 18—ゲート電極

【図9】

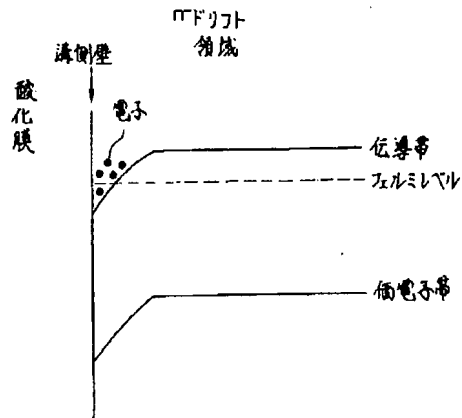


【図12】従来の縦型MOSFETの断面図である。

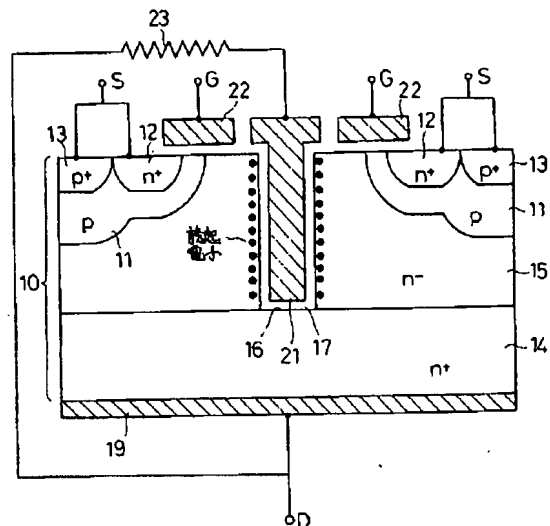
【符号の説明】

- 11 p型ウェル領域
- 12 n+ 型ソース領域
- 14 n+ 型ドレイン領域
- 15 n- 型ドリフト領域
- 16 溝
- 17 絶縁膜としてのゲート酸化膜
- 18 ゲート電極

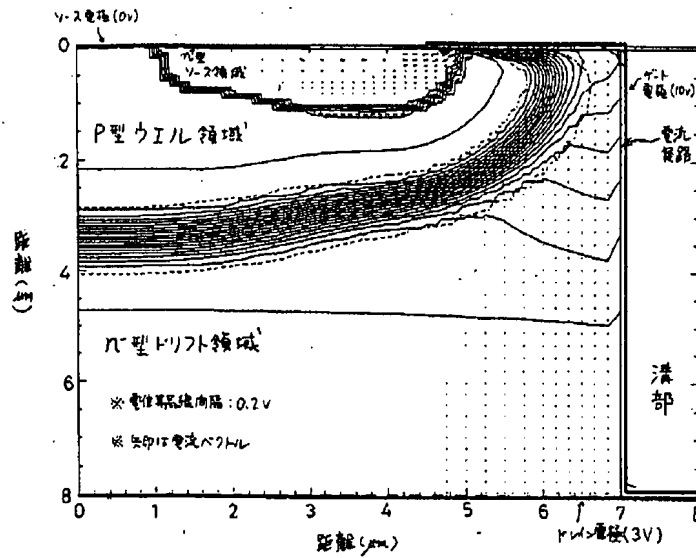
【図2】



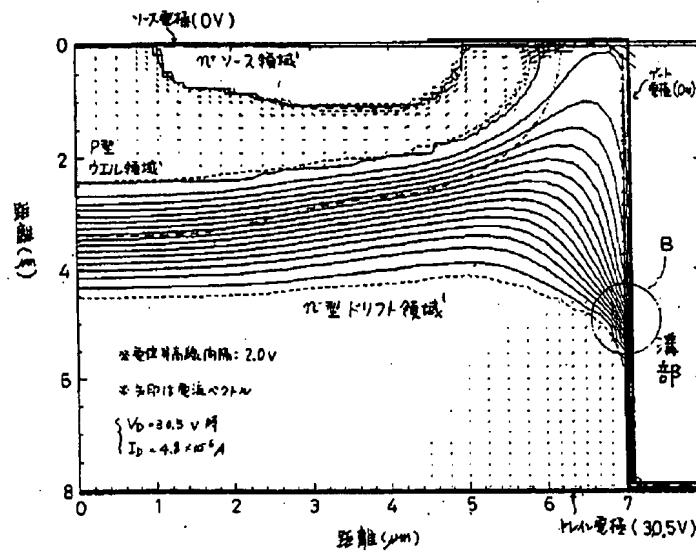
【図5】



【図3】

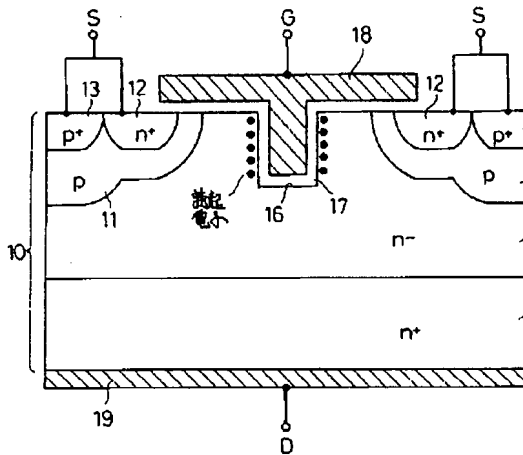


【図4】

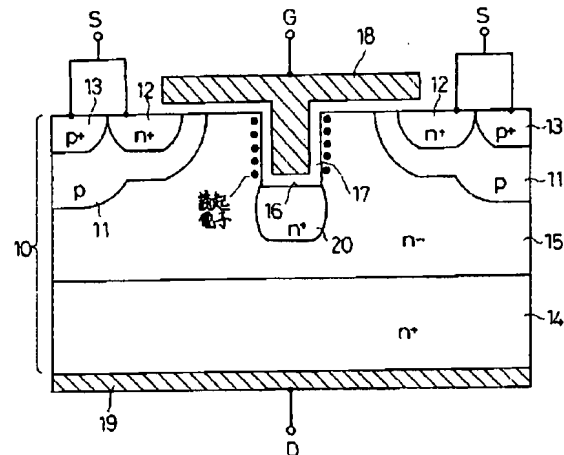




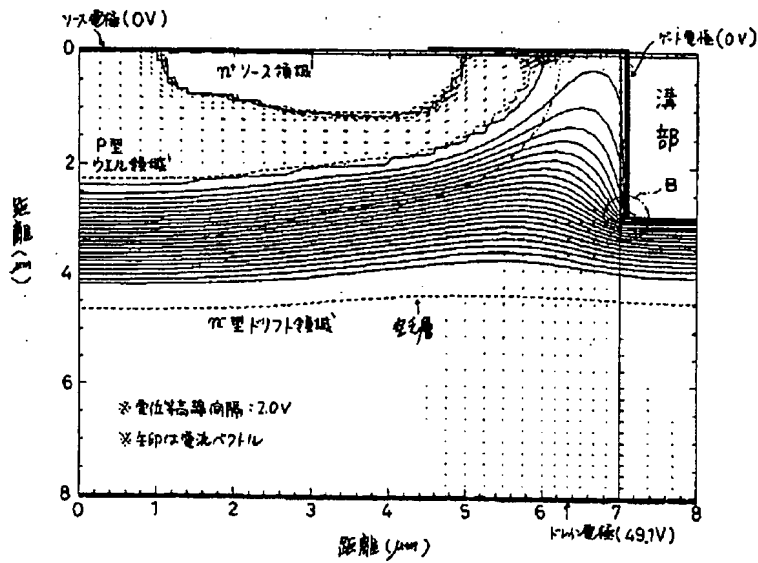
【図6】



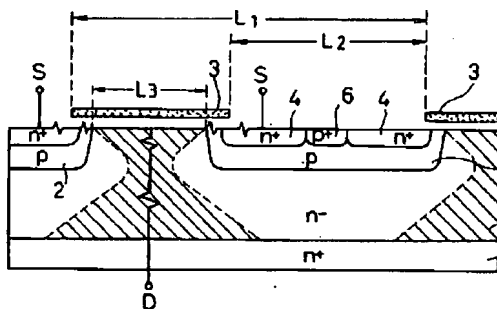
【図8】



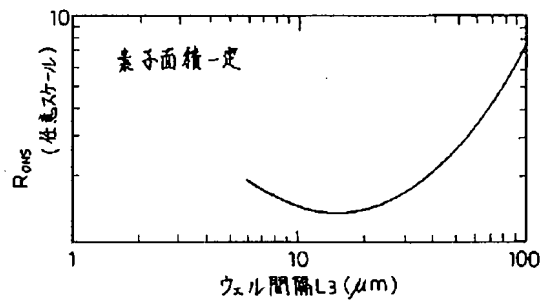
【図7】



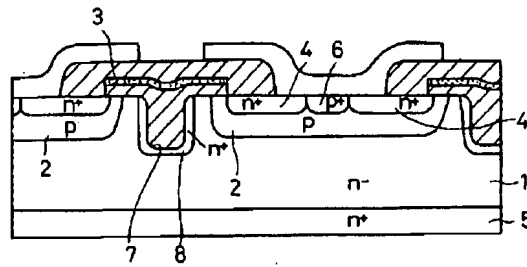
【図10】



【図11】



【図12】



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the cross section of the vertical mold MOSFET of an example.

[Drawing 2] n near a slot side attachment wall - It is the band Fig. of a field.

[Drawing 3] It is drawing showing the potential distribution and the current phasor at the time of transistor-on.

[Drawing 4] It is drawing showing the potential distribution and the current phasor at the time of breakdown.

[Drawing 5] It is the sectional view showing the application of the vertical mold MOSFET of an example.

[Drawing 6] It is drawing showing the cross section of the vertical mold MOSFET of example of another.

[Drawing 7] It is drawing showing the potential distribution and the current phasor at the time of breakdown.

[Drawing 8] It is drawing showing the cross section of the vertical mold MOSFET of other examples of another.

[Drawing 9] It is the sectional view of the conventional vertical mold MOSFET.

[Drawing 10] It is drawing showing the conventional current path and conventional resistance component of a vertical mold MOSFET.

[Drawing 11] a well -- spacing and RONS It is drawing showing relation.

[Drawing 12] It is the sectional view of the conventional vertical mold MOSFET.

[Description of Notations]

11 P Mold -- Well -- Field

12 N+ Mold Source Field

14 N+ Mold Drain Field

15 N - Mold Drift Region

16 Slot

17 Gate Oxide as an Insulator Layer

18 Gate Electrode

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a vertical mold insulated-gate field-effect transistor (vertical mold MOSFET), and relates especially to that on resistance reduction.

[0002]

[Description of the Prior Art] Conventionally, about the vertical mold MOSFET for power, the structure shown in drawing 9 was taken in many cases (for example, JP,63-254769,A). The pressure-proofing between the drain sources of this component is decided by the thickness and high impurity concentration of a drift region 1, and is set as thickness and concentration which balance desired pressure-proofing. a well -- if an electrical potential difference is impressed to the gate electrode 3 arranged in the upper part of a field 2 -- a well -- an n-type inversion layer is formed in the semi-conductor substrate front face in a field 2, and a current flows between the source and a drain. One vertical mold MOSFET with which the part (cel) shown by A has been repeatedly arranged in drawing 9 consists of actual vertical molds MOSFET. Dimension L1 of A As long as it approves on a manufacture process or a component property, it is set up small. The number of the current paths included in per unit area can be made into max by carrying out like this.

[0003] It is the on resistance per unit area (RONS and abbreviated name) as one of the important properties [ in / on the other hand / the vertical mold MOSFET for power ]. It is. And the voltage drop between the source drains when passing a current can make small power small consumed with a component, so that this value is small. On resistance RONS It is necessary to lower the own resistance of a component to lowering, or to reduce unit element child area.

[0004] The slash section shown in drawing 10 shows the path of the current in a drift region 1. It is based on the effectiveness of the junction field effect transistor (JFET and abbreviated name) which a parasitism target can do in the lengthwise direction of a semi-conductor substrate that a neck is formed. that is, the source field 4 which there was it along a current path by the resistance component of a drift region 1, and the potential difference arose, and was fixed to touch-down potential and a well -- the potential difference between a field 2 and a drift region 1 -- a well -- the reverse bias of the junction between a field 2 and a drift region 1 is carried out, a depletion layer spreads and a current path is narrowed at the drift region 1 side where high impurity concentration is comparatively low. Resistance of the field where the effectiveness of this JFET acts is set to RJFET. On resistance RCELL between the source terminal S in one vertical mold MOSFET cel and the drain terminal D is the resistance RS of the source field 4, the channel resistance RCH, the resistance RDRI of a drift region 1, and the resistance RDRA of the drain field 5 besides RJFET. It can express. Namely,  

$$RCELL = RS + RCH + RJFET + RDRI + RDRA \text{ -- (1)}$$

Moreover, RCELL and RONS Relation is given by the degree type.

[0005]  $RONS = RCELL / N \text{ -- (2)}$ 

However, N is the number of cels per unit area. distance L2 between the adjoining gate electrodes 3 shown in drawing 10 the source field 4 and a well -- p+ for giving the potential of a field 2 It is a tooth

space for taking contact of a field 6 and wiring. This L2 Depending on the process tolerance of the process which forms a component, if a manufacturing installation and a process are specified, it will be decided, and there is a limitation in reducing. drawing 11 -- a well -- spacing L3 of a field 2 On resistance RONS per [ receiving ] unit area Relation is shown. L3 If it is made small, since the neck of the current path shown in drawing 10 becomes thin, RJFET increases and the increment in RCELL becomes large rather than the increment in N, it is RONS. It increases. Conversely, L3 If it enlarges, although the effectiveness of JFET becomes weak, area will increase superfluously, and it is RONS. It increases too. If a pressure-proof specification and the process tolerance of a process are decided as a result, it will be RONS like drawing 11 . L3 which takes the minimum value An optimum value exists. [0006] RONS shown in drawing 11 In order to reduce the minimum value further, the structure shown in drawing 12 is proposed by JP,63-254769,A. this structure -- a well -- the slot 7 was formed in the field across which it faced in the field 2, the high concentration impurity layer 8 was formed around \*\*\*\* and this slot 7, and resistance of this part is lowered. therefore, a well -- even if a depletion layer spreads toward a drift region 1 from the boundary part of a field 2 and a drift region 1, the surrounding high concentration impurity layer 8 of a slot 7 cannot be depletion-ized, but can maintain the condition of low resistance, and can make RJFET very small. Therefore,  $R_{CELL} = R_S + R_{CH} + R_{DRI} + R_{DRA}$  -- (3) thus, when the structure of drawing 12 can suppress increase of the on resistance by the JFET effectiveness and puts it in another way, it is the same -- if it becomes RJFET -- a well -- spacing L3 of a field 2 short -- it can carry out -- several cels -- decreasing RCELL, without changing N -- it is -- the structure of drawing 9 -- comparing -- more -- RONS It can do low.

[0007]

[Problem(s) to be Solved by the Invention] However, the conventional technique shown in drawing 12 is RONS compared with the conventional technique shown in drawing 9 . Extent made into a means to decrease can expect effectiveness. however, the well which ultra-fine processing technology progresses in recent years, and is shown in drawing 10 about the vertical mold MOSFET of the low proof-pressure specification which is 10 volts of proof-pressure numbers -- spacing L3 of a field 2 several micrometers -- reducible -- moreover, dimension L1 of A in drawing 9 It came be made to 20 micrometers or less. consequently, with the conventional technique shown in drawing 12 a well -- the reach through pressure-proofing between a field 2 and the high concentration impurity layer 8 a well -- from the need of also setting up highly the reach through proof-pressure twist between a field 2 and the drain field 5 -- reverse -- a well -- spacing L3 of a field 2 Even if it must enlarge and area increases superfluously, and it makes RCELL small so that clearly from (2) types Since N becomes small more than it, it is RONS. There was a problem which increases on the contrary. Moreover, the conventional technique shown in drawing 12 is only the effectiveness of decreasing RJFET, and is other RDRI(s). It is RONS in order not to decrease. There was little percentage reduction. That is, it is not necessarily RONS, without spoiling pressure-proofing of a component. It was not able to decrease.

[0008] Then, the purpose of this invention is on resistance RONS per unit area, without spoiling pressure-proofing of a component. It is in offering the vertical mold insulated-gate field-effect transistor which can be reduced further.

[0009]

[Means for Solving the Problem] A field is formed. this invention -- the surface section of a semi-conductor substrate -- the source field of the 1st conductivity type, and the well of the 2nd conductivity type -- In the vertical mold insulated-gate field-effect transistor by which the drift region of the 1st conductivity type of low high impurity concentration was formed between the field and said drain field as compared with the drain field or the source field while the drain field of the 1st conductivity type is formed in a semi-conductor substrate -- said well -- Estrange with a field and a slot is formed. an adjoining well -- the semi-conductor substrate between fields -- both -- a well -- Let the vertical mold insulated-gate field-effect transistor which has arranged the electrode of the potential to which this Mizouchi is made to increase the majority carrier concentration of the front face which met the groove face of said drift region through the insulator layer be that summary.

[0010]

[Function] Let Mizouchi's electrode be the potential to which the majority carrier concentration of the front face in alignment with the groove face of a drift region is made to increase as mentioned above. For example, when the 1st conductivity type is an n mold, it is set as high potential, and an electron carries out induction to the side attachment wall of the outside of a slot, and carrier concentration goes up. And in the ON state of a transistor, the current path of low resistance is made into the side-attachment-wall part of the outside of a slot. this current path -- a well -- it is not influenced by it even if a depletion layer spreads toward a drift region from the boundary parts of a field and a drift region. Consequently, the resistance RJFET of a field and resistance RDRI of a drift region on which the effectiveness of JFET acts It decreases. On the other hand, although reach through pressure-proofing needed to be taken into consideration by existence of the high concentration impurity layer 8 with equipment conventionally which is shown in drawing 12, it becomes unnecessary with this equipment. [0011]

[Example] Hereafter, one example which materialized this invention is explained according to a drawing. The sectional view of the vertical mold MOSFET of this example is shown in drawing 1.

[0012] the surface section of the semi-conductor substrate 10 -- p mold -- a well -- a field 11 forms -- having -- the p mold -- a well -- the part in a field 11 -- n+ The mold source field 12 and p+ a mold -- a well -- the contact field 13 is formed. Moreover, in the rear-face side within the semi-conductor substrate 10, it is n+. The mold drain field 14 is formed. furthermore, p mold -- a well -- a field 11 and n+ between the mold drain fields 14 -- n+ The mold drain field 14 or n+ the mold source field 12 -- comparing -- n- of low high impurity concentration The mold drift region 15 is formed.

[0013] p mold in the front face of the semi-conductor substrate 10 -- a well -- the field inserted into the field 11 -- p mold -- a well -- it estranges with a field 11 and a slot 16 forms -- having -- this slot 16 -- n- the mold drift region 15 -- penetrating -- n+ The front face of the mold drain field 14 is reached. The gate oxide 17 as an insulator layer is formed in the front face of the semi-conductor substrate 10, and the wall of a slot 16, and the gate electrode 18 prolonged in a slot 16 through this gate oxide 17 is arranged.

[0014] Moreover, the rear-face electrode 19 is formed in the rear face of the semi-conductor substrate 10. This transistor is manufactured as follows. That is, n+ It is n on a mold semi-conductor substrate (drain field 14). - A mold epitaxial layer is formed and the slot 16 which reaches the drain field 14 to the epitaxial layer is formed. And the gate electrode 18 is arranged through gate oxide 17. furthermore, this gate electrode 18 -- a mask -- carrying out -- p mold -- a well -- a field 11 and n+ The mold source field 12 is formed by double diffusion. a predetermined mask pattern after that -- using -- p+ a mold -- a well -- the contact field 13 is formed. On the other hand, it is n+. The rear-face electrode 19 is formed in the rear face of a mold semi-conductor substrate (drain field 14).

[0015] and n+ The mold source field 12 and p+ a mold -- a well -- the source terminal S is connected to the contact field 13, gate terminal G is connected to the gate electrode 18, and the drain terminal D is further connected to the rear-face electrode 19.

[0016] When a forward electrical potential difference is impressed to touch-down, the drain terminal D, and gate terminal G, as it is shown in drawing 2, an electron carries out induction of ON state S, i.e., the source terminal, to the side attachment wall of the outside of a slot 16, carrier concentration goes up it, and such a vertical mold insulated-gate field-effect transistor is made by the current path of low resistance into this part.

[0017] and this current path -- p mold -- a well -- a field 11 and n- n[ from a boundary part with the mold drift region 15 ]- It is not influenced by it even if a depletion layer spreads toward the mold drift region 15.

[0018] Resistance RJFET and n of the field where the effectiveness of JFET acts as a result - Resistance RDRI of the mold drift region 15 It can be made to decrease. If simulation count of the result is carried out, it will become like drawing 3. The current path was checked by the side attachment wall of the outside of a slot 16 from this drawing.

[0019] Moreover, it is [0020] when simulation count compared with on resistance RCELL between the source drains in the conventional cel shown in drawing 9.

[Equation 1]

$$\frac{R_{\text{CELL}} (\text{本実施例})}{R_{\text{CELL}} (\text{従来})} = \frac{R_S + R_{\text{CH}}}{R_S + R_{\text{CH}} + R_{\text{JFET}} + R_{\text{DRI}}} = 0.89 \text{ (} R_{\text{DRA}} \text{は除いて)}$$

[0021] The result to say was obtained. In this count, cell size  $L1 = 16 \mu\text{m}$ ,  $L3 = 8 \mu\text{m}$ , flute width  $= 2 \mu\text{m}$ , and a diffusion layer profile are the same at drawing 9 and drawing 1.

[0022] Moreover, the pressure-proofing between source drains by this example is decided by the high field strength part from which the potential contour line of a slot side attachment wall becomes dense, as B shows drawing 4 (breakdown is carried out here). that is, pressure-proofing -- p mold -- a well -- it is that there is nothing unrelated to the distance of a field 11 and a slot 16. therefore, an adjoining well -- spacing  $L3$  with a field 11 It can do small to the width of face of a slot 16.

[0023] Furthermore, as shown for making it the structure of high pressure-proofing at drawing 5, the electrode 21 prolonged in the vertical direction arranged in a slot 16 and the gate electrode 22 prolonged in a longitudinal direction are used as another member, and the drain terminal D is connected with an electrode 21 through resistance 23. Thus, the potential difference between the drain terminal D and the Mizouchi electrode 21 is carried out into constant value. if it carries out like this drawing 5, since the potential of the electrode 21 in a slot 16 will become higher than the gate electrode 18 in drawing 1 -- pressure-proofing -- the field strength of a slot side attachment wall -- not being decided -- p mold -- a well -- a field 11 to n+ It is decided by the reach through pressure-proofing to the mold drain field 14, or pressure-proofing of the oxide film 17 in a slot 16.

[0024] In addition, in this example, like UMOS, a channel is not formed in the side attachment wall of a slot 16, but a channel is formed in a wafer top face to the last. While there is no channel in the crystal defect part of the side attachment wall of a slot 16 and being able to control the leakage current in the pn junction section by carrying out like this, it can consider as the structure which is easy to carry out a proof-pressure design as shown in drawing 5.

[0025] Estrange in a field 11 and a slot 16 is formed. thus, p mold which adjoins in this example -- a well -- the semi-conductor substrate 10 between fields 11 -- both -- a well -- Since the gate electrode 18 of potential higher than a drift region 15 has been arranged through gate oxide 17 (insulator layer) in this slot 16 If a transistor is made into an ON state (it is a forward electrical potential difference to touch-down, the drain terminal D, and gate terminal G about the source terminal S), an electron will carry out induction to the side attachment wall of the outside of a slot 16, carrier concentration will go up, and the current path of low resistance will be made into this part. and this current path -- a well -- it is not influenced by it even if a depletion layer spreads toward a drift region 15 from the boundary parts of a field 11 and a drift region 15. Consequently, the resistance  $R_{\text{JFET}}$  of a field and resistance  $R_{\text{DRI}}$  of a drift region on which the effectiveness of JFET acts It decreases. It is on resistance  $R_{\text{ONS}}$  per unit area, without it becoming unnecessary and on the other hand, spoiling pressure-proofing of a component with this equipment, although reach through pressure-proofing needed to be taken into consideration by existence of the high concentration impurity layer 8 with equipment conventionally which is shown in drawing 12. It can decrease further.

[0026] in addition, this invention is not limited to the above-mentioned example, and is shown in drawing 6 as the way of a proof-pressure design -- as -- the depth of a slot 16 -- a well -- a field 11 -- shallow -- carrying out -- a well -- the pinch-off of the depletion layer extended from a field 11 to a drift region 15 is carried out under a slot 16. The potential distribution map at the time of breakdown in this case is shown in drawing 7. that is, the well in the both sides of a slot 16 -- it is made to be connected under the depletion-layer fang furrow 16 extended from a field 11 And the field strength in the groove bottom edge section (B in drawing 7 shows) is changed by adjusting a channel depth, and it opts for pressure-proofing here. In this case, it can improve before and after 50 volts from the proof pressure of 30 volts (structure of drawing 1).

[0027] Moreover, it is related with on resistance and is [0028].

[Equation 2]

$$\frac{R_{\text{CELL}} (\text{本実施例})}{R_{\text{CELL}} (\text{図9の従来})} = \frac{R_s + R_{\text{CH}} + R_{\text{DRI}}}{R_s + R_{\text{CH}} + R_{\text{JFET}} + R_{\text{DRI}}} = 0.90 \text{ (} R_{\text{DRA}} \text{は除いて)}$$

[0029] It becomes. Moreover, as shown in drawing 8 as other modes, it is high concentration n+ to the pars basilaris ossis occipitalis of a slot 16. The low resistance field 20 may be arranged. In this case, RDRI in the transistor shown in drawing 6 It can decrease.

[0030] As mentioned above, although this invention was shown taking the case of the case where it is adopted as the n channel mold MOSFET, you may make it adopt it as the p channel mold MOSFET. In that case, it is made to carry out induction of the electron hole to the groove face of a drift region (p-mold), and the electrode of a slot is set as potential lower than a drift region.

[0031]

[Effect of the Invention] It is on resistance RONS per unit area, without spoiling pressure-proofing of a component according to this invention, as explained in full detail above. The outstanding effectiveness which can be reduced further is demonstrated.

---

[Translation done.]